

АНАЛИЗ SFR-СОВМЕСТИМОСТИ МИКРОКОНТРОЛЛЕРОВ ФИРМЫ SiLabs: ПОДСИСТЕМЫ ГЕНЕРАТОРОВ И УПРАВЛЕНИЯ ПАМЯТЬЮ

Олег Николайчук
onic@ch.moldpac.md

Статья опубликована: Схемотехника, 2005, №3, 7-9

В рамках настоящей статьи цикла произведен системный анализ совместимости подсистем генераторов, регистров управления Flash памятью, внешней памятью и SFR-памятью.

В перечне общесистемных подсистем SFR регистров микроконтроллеров фирмы SiLabs [1] остались нерассмотренными только четыре подсистемы: подсистема тактовых генераторов, подсистема регистров управления Flash памятью, подсистема управления интерфейсом внешней оперативной памяти и подсистема управления страницами SFR регистров. Все SFR регистры вышеперечисленных подсистем приведены в таблице 1.

Таблица 1

Название регистра	Назначение	Адрес SFR регистра											
		F00x	F01x	F02x	F04x	F06x	F12x	F2xx	F30x	F31x	F32x	F33x	F35x
Регистры генераторов													
OSCICL	Калибровка встроенного генератора	-	-	-	0xB3/F	0xB3/F	0xB3/F	-	0xB3	0xB3	0xB3	0xB3	0xB3
OSCICN	Управление внутренним генератором	0xB2	0xB2	0xB2	0x8A/F	0x8A/F	0x8A/F	0xB2	0xB2	0xB2	0xB2	0xB2	0xB2
OSCXCN	Управление внешним генератором	0xB1	0xB1	0xB1	0x8C/F	0x8C/F	0x8C/F	0xB1	0xB1	0xB1	0xB1	0xB1	0xB1
OSCLCN	Управление НЧ генератором	-	-	-	-	-	-	-	-	-	-	0xE3	-
CLKSEL	Выбор генератора	-	-	-	0x97/F	0x97/F	0x97/F	-	-	0xA9	0xA9	0xA9	0xA9
CLKMUL	Регистр управления множителем	-	-	-	-	-	-	-	-	-	0xB9	-	0xBE
Регистры Flash памяти													
FLACL	Управление доступом к Flash	0xB7	0xB7	0xB7	0xB7/F	0xB7/F	0xB7/F	0xB7	0xB7	0xB7	0xB7	0xB7	0xB7
FLSCL	Временя доступа к Flash	0xB6	0xB6	0xB6	0xB7/0	0xB7/0	0xB7/0	0xB6	0xB6	0xB6	0xB6	0xB6	0xB6
PSCTL	Управление R/W к Flash	0x8F	0x8F	0x8F	0x87/0	0x87/0	0x87/0	0x8F	0x8F	0x8F	0x8F	0x8F	0x8F
FLSTAT	Flash статус	-	-	-	-	-	0x88/F	-	-	-	-	-	-
PSBANK	Управление Flash банками	-	-	-	-	-	0xB1/A	-	-	-	-	-	-
Регистры внешней памяти EMI													
EMI0CF	Конфигурация внешней памяти	-	-	0xA3	0xA3/0	0xA3/0	0xA3/0	-	-	-	-	-	-
EMI0CN	Интерфейс внешней памяти	0xAF	0xAF	0xAF	0xA2/0	0xA2/0	0xA2/0	0xAF	-	0xAA	0xAA	0xAA	0xAA
EMI0TC	Регистр временного контроля EMIF	-	-	0xA1	0xA1/0	0xA1/0	0xA1/0	-	-	-	-	-	-
Регистры SFR страниц													
SFRLAST	Предыдущая страница стека SFR	-	-	-	0x86/A	0x86/A	0x86/A	-	-	-	-	-	-
SFRNEXT	Следующая страница стека SFR	-	-	-	0x85/A	0x85/A	0x85/A	-	-	-	-	-	-
SFRPAGE	Регистр страниц SFR	-	-	-	0x84/A	0x84/A	0x84/A	-	-	-	-	-	-
SFRPGCN	Управление SFR	-	-	-	0x96/F	0x96/F	0x96/F	-	-	-	-	-	-

Подсистема тактовых генераторов

Подсистема тактовых генераторов достаточно простая. Все семейства микроконтроллеров имеют два основных SFR регистра управления встроенным OSCICN и внешним OSCXCN тактовыми генераторами. В ранних семействах (F00x, F01x, F02x и F2xx) никаких других SFR регистров не предусматривалось. В остальных семействах добавился еще регистр калибровки встроенного генератора OSCICL и регистра выбора генератора CLKSEL. Кроме того, в семействе F33x имеется второй встроенный низкочастотный генератор, который также имеет свой регистр управления OSCLCN. Кроме того, в трех семействах микроконтроллеров имеется умножитель тактовой частоты (F12x, F32x и F35x). В первом из названных семейств (F12x) он достаточно сложен, выполнен в виде отдельной подсистемы и внесен в состав цифровых периферийных подсистем (т.е. не будет рассматриваться в составе настоящей статьи). В семействах F32x и F35x он более простой, его управление занимает всего один SFR регистр - CLKMUL и будет рассмотрено в рамках настоящей статьи.

Назначение битов регистра управления встроенным генератором OSCICN приведено в табл.2.

Таблица 2

Название регистра — OSCICN, Internal Oscillator Control Register (Регистр управления внутренним тактовым генератором)								
SFR адрес — 0xB2		Значение после сброса — 0000100b (0x04)						
Семейства	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
F00x, F01x, F02x, F2xx	MSCLKE	-	-	IFRDY	CLKSL	IOSCEN	IFCN1	IFCN0
F04x, F06x, F12x, F31x, F33x, F35x	IOSCEN	IFRDY	-	-	-	-	IFCN1	IFCN0
F30x	-	-	-	IFRDY	CLKSL	IOSCEN	IFCN1	IFCN0
F32x	IOSCEN	IFRDY	SUSPEND	-	-	-	IFCN1	IFCN0

Во-первых, отметим, что регистры OSCICN располагаются по разным адресам. В микроконтроллерах с одностраничной организацией SFR адрес регистра 0xB2, а в микроконтроллерах с многостраничной организацией – по адресу 0x8A страницы F. Во-вторых, как показано в таблице 2, даже назначение битов в различных семействах значительно отличается. Отсюда следует главный вывод, – регистр OSCICN всегда требует индивидуальной настройки. Назначение битов регистра OSCICN приведено выше.

MSCLKE (Missing Clock Enable Bit) - бит разрешения датчика отсутствия тактовой частоты. (1 - включено / 0 -выключено).

IFRDY (Internal Oscillator Frequency Ready Flag) - флаг готовности внутреннего генератора, устанавливается в 1 после нормального запуска внутреннего генератора на частоте, установленной IFCN битами.

CLKSL (System Clock Source Select Bit) - бит установки источника тактовых импульсов. Установка 1 включает внешний генератор, 0 - внутренний.

IOSCEN (Internal Oscillator Enable Bit) - бит разрешения внутреннего генератора (1 - разрешен).

IFCN (Internal Oscillator Frequency Control Bits) - биты установки частоты внутреннего генератора. В ранних моделях (F00x,F01x,F2xx): 00 - примерно 2 MHz; 01 - примерно 4 MHz; 10 - примерно 8 MHz; 11 - примерно 16 MHz. В более поздних моделях: 00 - SYSCLK = F/8; 01 – SYSCLK = F/4; 10 - SYSCLK = F/2; 11 - SYSCLK = F/1.

SUSPEND – запись 1 останавливает внутренний генератор. Генератор запускается при следующей пересылке по интерфейсу USB или по прерыванию VBUS.

Регистра OSCXCN также присутствует во всех семействах. В микроконтроллерах с одностраничной организацией SFR адрес регистра 0xB1, а в микроконтроллерах с многостраничной организацией – по адресу 0x8C страницы F. Назначение битов регистра OSCXCN приведено в таблице 3.

Таблица 3

Название регистра — OSCXCN, External Oscillator Control Register (Регистр управления внешним тактовым генератором)								
SFR адрес — 0xB1			Значение после сброса — 00110000b (0x30)					
Семейства	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Все	XTLVLD	XOSCMD2	XOSCMD1	XOSCMD0	-	XFCN2	XFCN1	XFCN0

Для всех семейств назначение битов регистра OSCXCN совпадает по наименованию и расположению.

XTLVLD (Cristal Oscillator Valid Flag) - флаг готовности кварцевого генератора (работает только если XOSCMD=1xx). При выходе генератора на нормальный режим устанавливается логическая 1.
XOSCMD2-0 (External Oscillator Mode Bits) - биты установки режима внутреннего генератора:
00x - выключен; 010 - внешний генератор, подключенный на вывод XLAT1; 011 - внешний генератор, подключенный на вывод XLAT1 с делением на 2; 10x - RC/C генератор с делением на 2; 110 - кварцевый резонатор; 111 - кварцевый резонатор с делением на 2.
XFCN (External Oscillator Frequency Control Bits) – код коэффициента установки частоты. Код коэффициента XFCN различается для различных семейств и различных диапазонов тактовых частот. Значения кода обычно приводятся в специальной для каждого семейства таблице.

Регистр калибровки встроенного генератора OSCICL появился в составе подсистемы тактового генератора в семействах: F04x, F06x, F12x, F30x, F31x, F32x, F35x. Он располагается по адресу 0xB3 во всех семействах, в которых он существует. Все его биты содержат калибровочный код, значение которого может отличаться для различных экземпляров микроконтроллеров. Код подбирается в заводских условиях. Пользователь может изменять этот код в соответствии со следующей методикой:

1. Пусть после сброса тактовая частота будет равна fBASE;
2. Этой частоте соответствует период TBASE;
3. Пусть требуемая частота равна fDES;
4. Требуемой частоте соответствует период TDES;
5. $fBASE = 24\,500\,000\text{ Hz}$; $fDES = 20\,000\,000\text{ Hz}$;
6. $TDES = 1/fDES - 1/fBASE = 0.005 \times 1/fBASE \times .OSCICL$;
7. $.OSCICL = (fBASE - fDES) / (0.005 \times fDES) = (24\,500\,000 - 20\,000\,000) / 20\,000\,000 / 0.005 = 45$

Регистра выбора генератора CLKSEL также имеется только в семействах: появился в составе подсистемы тактового генератора в семействах: F04x, F06x, F12x, F31x, F32x, F35x. В микроконтроллерах с односторонней организацией SFR адрес регистра 0xA9, а в микроконтроллерах с многосторонней организацией – по адресу 0x97 страницы F. Назначение битов регистра CLKSEL приведено в таблице 4.

Таблица 4

Название регистра — CLKSEL, Oscillator Clock Selection Register (Регистр выбора тактового генератора)								
SFR адрес — 0xA9			Значение после сброса — 00000000b (0x00)					
Семейства	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
F00x, F01x, F02x, F2xx, F30x	-	-	-	-	-	-	-	-
F04x, F06x, F31x,	-	-	-	-	-	-	-	CLKSL
F12x	-	-	CLKDIV1	CLKDIV0	-	-	CLKSL1	CLKSL0
F32x	-	USBCLK2	USBCLK1	USBCLK0	-	-	CLKSL1	CLKSL0
F33x, F35x	-	-	-	-	-	-	CLKSL1	CLKSL0

Назначение выводов регистра CLKSEL:

CLKDIV (Output SYSCLK Divide Factor) - биты определения частоты выходного сигнала SYSCLK: 00 – $SYSCLK = F$; 01 – $SYSCLK = F/2$; 10 – $SYSCLK = F/4$; 11 – $SYSCLK = F/8$;

CLKSL (System Clock Source Select Bits) - бит выбора тактового генератора: 00 - включен внутренний тактовый генератор; 01 - включен внешний тактовый генератор; 10 - включена система PLL (F12x) или частота умножителя/2 (F32x) или внутренний низкочастотный генератор (F33x, F35x).

USBCLK (USB Clock Source Select Bits) - биты выбора тактового генератора для USB. Для USB в режиме полной скорости частота (Full Speed) должна быть 48 МГц, для экономичного (Low Speed) режима – 6 МГц: 000 – Умножитель на 4; 001 – внутренний генератор /2; 010 – внешний генератор; 011 - внешний генератор /2; 100 - внешний генератор /3; 101 - внешний генератор /4.

Регистр выбора режима низкочастотного генератора OSCLCN имеется только в семействе F33x, так что ни о какой совместимости говорить не приходится. Назначение битов регистра OSCLCN приведено в таблице 5.

Таблица 5

Название регистра — OSCLCN, Internal L-F Oscillator Control Register (Регистр управления низкочастотным генератором)								
SFR адрес — 0xE3			Значение после сброса — 0000000b (0x00)					
Семейства	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
F33x	OSCLCN	OSCLRDY	OSCLF3	OSCLF2	OSCLF1	OSCL0	OSCLD1	OSCLD0

Назначение выводов регистра OSCLCN:

OSCLCN (Internal L-F Oscillator Enable) – бит разрешения (1) низкочастотного генератора;

OSCLRDY (Internal L-F Oscillator Ready) – бит готовности (1) низкочастотного генератора;

OSCLF (Internal L-F Oscillator Frequency Control) – биты выбора частоты: 0000b - соответствует максимальной частоте, 1111b – минимальной. В процессе фабричной калибровки максимальная частота устанавливается равной $f_{base} = 80$ кГц.

OSCLD (Internal L-F Oscillator Divider Select) – биты определяют коэффициент деления для получения SYSCLK: 00 – F/8; 01 – F/4; 10 – F/2; 11 – F.

Регистр управления режимом умножителя CLKMUL имеется только в семействах F32x и F35x, причем находятся они по разным SFR адресам (0xB9 и 0xBE для семейств F32x и F35x соответственно). Назначение битов регистра CLKMUL приведено в таблице 6.

Таблица 6

Название регистра — CLKMUL, Clock Multiplier Control Register (Регистр управления умножителем)								
SFR адрес — 0xB9			Значение после сброса — 0000000b (0x00)					
Семейства	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
F32x, F35x	MULEN	MULINIT	MULRDY	-	-	-	MULSEL1	MULSEL0

Назначение выводов регистра CLKMUL:

MULEN (Clock Multiplier Enable) – бит разрешения (1) умножителя;

MULINIT (Clock Multiplier Initialize) – бит инициализации. Бит должен быть 0 при установке MULEN. Бит аппаратно устанавливается в 1 при стабилизации умножителя;

MULRDY (Clock Multiplier Ready) – бит индикации состояния умножителя: 0 – не готов, 1 - готов и захват частоты произведен;

MULSEL – определяют источник частоты для умножителя: 00 – внутренний генератор; 01 – внешний генератор; 10 - внешний генератор/2.

Отметим, что не смотря на простоту подсистемы тактовых генераторов микроконтроллеров фирмы SiLabs, SFR-регистры этой подсистемы практически не совместимы. Это означает на практике, что для каждого из семейств микроконтроллеров необходимо создавать индивидуальные подпрограммы инициализации подсистемы тактовых генераторов.

Подсистема регистров управления Flash памятью

Подсистема регистров управления Flash памятью состоит из трех основных SFR регистров, имеющих у всех семейств микроконтроллеров фирмы SiLabs: управления доступом – FLACL,

управления временем доступа FLSCCL, управления операциями чтения/записи PSCTL. Кроме этого, в семействе F12x имеются еще 2 регистра: регистр статуса FLSTAT и регистр управления банками PSBANK. Первый регистр FLACL имеет один и тот же SFR адрес для всех семейств – 0xB7, только в семействах с многостраничной организацией SFR (F04x, F06x и F12x) - он расположен на странице F. Регистр FLSCCL расположен по адресу 0xB6 во всех семействах, кроме семейств с многостраничной организацией SFR (F04x, F06x и F12x), где он расположен по адресу 0xB7 на странице 0. Регистр PSCTL расположен по адресу 0x8F во всех семействах, кроме семейств с многостраничной организацией SFR (F04x, F06x и F12x), где он расположен по адресу 0x87 на странице 0. Регистры статуса FLSTAT и управления банками PSBANK семейства F12x располагаются по SFR адресам 0x88/F и 0xB1/A соответственно.

Регистр управления доступом FLACL (Flash Access Limit) относится к регистрам защиты. В него записывается старший байт 16-битного адреса, ниже которого память программ не может быть прочитана инструкциями MOVX и MOVC. Попытка чтения возвращает нулевое значение. Важно помнить, что этот регистр доступен для записи только один раз после сброса. Остальные попытки записи игнорируются до следующего сброса.

Назначение битов регистра управления временем доступа FLSCCL приведено в таблице 7.

Таблица 7

Название регистра — FLSCCL, Flash Memory Timing Prescaler (Регистр временных параметров Flash памяти)								
SFR адрес — 0xB6		Значение после сброса — 10001111b (0x8F)						
Семейства	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Все	FOSE	FRAE	-	-	FLASCL3	FLASCL2	FLASCL1	FLASCL0

Назначение выводов регистра FLSCCL:

FOSE (Flash One-Shot Timer Enable) - бит разрешения 1 / запрещения 0 одномоментного таймера.
 FRAE (Flash Read Always Enable) - бит режима чтения Flash памяти: 0 - Flash читается по одномоментному таймеру; 1 - Flash всегда в режиме чтения.
 FLASCL (Flash Memory Timeng Prescaler) - биты определяют величину масштабирования времени доступа к Flash памяти для правильного осуществления режимов записи / стирания. Значения этих битов отличаются для различных диапазонов тактовых частот и различных семейств.

Расположение битов в регистре управления операциями чтения/записи PSCTL приведено в таблице 8.

Таблица 8

Название регистра — PSCTL, Program Store RW Control (Регистр управления доступом в Flash память)								
SFR адрес — 0x8F		Значение после сброса — 00000000b (0x00)						
Семейства	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
F00x, F01x, F2xx, F31x, F32x, F33x, F35x	-	-	-	-	-	-	PSEE	PSWE
F02x, F04x, F06x, F12x	-	-	-	-	-	SFLE	PSEE	PSWE

Назначение выводов регистра PSCTL:

PSEE (Program Store Erase Enable) - бит разрешения стирания программы. Установка этого бита разрешает стирание программной памяти при условии, что также установлен бит разрешения записи PSWE. После установки этого бита попытка записи байта при помощи инструкции MOVX приводит к стиранию страницы памяти программ, содержащей адресуемый байт. Значение байта при этом игнорируется.

PSWE (Program Store Write Enable) - бит разрешения записи программы. Установка этого бита позволяет осуществлять запись в память программ инструкцией MOVX. Естественно, что блок памяти программ, в который осуществляется запись, должен быть предварительно стерт.

SFLE (Scratchpad Flash Memory Access Enable) - бит переключения доступа к 64K Flash памяти программ / данных (0) или к секретной странице памяти только для данных размером 128 байт.

Внимание! Для правильной работы с этим регистром и системой секретности необходимо детально ознакомиться с соответствующей документацией на используемое семейство микроконтроллеров. Приведенных в настоящей статье сведений не достаточно и они носят только ознакомительный характер.

Регистр статуса FLSTAT семейства F12x имеет только один нулевой бит - FLBUSY (Flash Busy) – логическая 1 в котором показывает, что Flash память занята операциями записи/стирания. Назначение битов регистра управления банками PSBANK семейства F12x показано в таблице 9.

Таблица 9

Название регистра — PSBANK, Program Space Bank Select Register (Регистр выбора страницы Flash памяти)								
SFR адрес — 0xB1/All			Значение после сброса — 00010001b (0x11)					
Семейства	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
F12x	-	-	COBANK1	COBANK0	-	-	IFBANK1	IFBANK0

В таблице 9 биты выбирают расположение одного из четырех имеющихся банков Flash памяти по 32 Кбайта каждый. Каждый банк может быть расположен в младшей половине адресного пространства (LP - Low Page) по адресам 0x0000 - 0x7FFF или в старшей половине адресного пространства (HP - High Page) по адресам 0x8000 - 0xFFFF.

Назначение битов соответствует:

COBANK (Constant Operations Bank Select) - биты выбора банка для хранения констант:

00 - банк 0 в LP; 01 - банк 1 в HP; 10 - банк 2 в HP; 11 - банк 3 в HP.

IFBANK (Instructions Fetch Operations Bank Select) - биты выбора банка для хранения программ:

00 - банк 0 в LP; 01 - банк 1 в HP; 10 - банк 2 в HP; 11 - банк 3 в HP.

Подсистема управления интерфейсом внешней памяти

Подсистема управления интерфейсом внешней памяти EMI (External Memory Interface), вообще говоря, является аппаратным интерфейсом и может быть отнесен и к общесистемным подсистемам, и к цифровым периферийным подсистемам. Эти подсистема содержит всего три SFR регистра: регистр конфигурации внешней памяти EMIOCF, регистр контроля времени доступа EMIOTC, и регистр интерфейса внешней памяти EMIOCN. Первые два регистра имеются только у четырех семейств микроконтроллеров F02x, F04x, F06x и F12x, и расположены эти регистры по SFR адресам 0xA3 и 0xA1 соответственно. Третий регистр EMIOCN имеется практически у всех семейств (кроме F30x) однако расположен по различным SFR адресам для различных семейств: 0xAF (для семейств F00x, F01x, F02x и F2xx), 0xA2/0 (для семейств F04x, F06x и F12x) и 0xAA (для семейств F31x, F32x, F33x и F35x).

Регистр EMIOCN содержит биты PGSEL (XRAM Page Select Bits) - биты выбора страницы памяти при использовании 8-битной команды MOVX. Поскольку размер Flash памяти разный у различных семейств, и размер выбираемой страницы также отличается. Конечно, никакой совместимости в отношении этого регистра нет.

Назначение битов регистра конфигурации внешней памяти EMIOCF семейств F02x, F04x, F06x и F12x показано в таблице 10.

Таблица 10

Название регистра — EMIOCF, External Memory Configuration (Регистр конфигурации внешней памяти)								
SFR адрес — 0xA3			Значение после сброса — 00000011b (0x03)					
Семейства	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
F02x, F04x, F06x, F12x	-	-	PRTSEL	EMD2	EMD1	EMD0	EALE1	EALE0

Назначение битов регистра:

PRTSEL (EMIF Port Select) - выбор портов для подключения EMIF: 0 - EMIF подключается к портам P0-P3; 1 - EMIF подключается к портам P4-P7;

EMD2 (EMIF Multiplex Mode Select) - выбор режима мультиплексирования: 0 - мультиплексированный режим; 1 - немультимплексированный режим.

EMD1-0 - выбор режима функционирования: 00 - функционирует только встроенная память. Инструкция MOVX имеет доступ только к внутренней памяти; 01 - режим переключения без банкирования. Обращение по адресам первых 4К происходит к внутренней памяти, обращение к остальным адресам приводит к обращению к внешней памяти; 10 - режим переключения с банкированием; 11 - функционирует только внешняя память.

EALE (ALE Pulse-Width Select) - выбор длительности импульса ALE (только если EMD2=0): 00 - Сигнал ALE имеет длительность - 1 системный цикл; 01 - 2 системных цикла; 10 - 3 системных цикла; 11 - 4 системных цикла;

Назначение битов регистра временного контроля внешней памяти EMIOTC семейств F02x, F04x, F06x и F12x иллюстрируется таблицей 11.

Таблица 11

Название регистра — EMIOTC, External Memory Timing Control (Регистр временного контроля внешней памяти)								
SFR адрес — 0xA1		Значение после сброса — 1111111b (0xFF)						
Семейства	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
F02x, F04x, F06x, F12x	EAS1	EAS0	ERW3	ERW2	ERW1	ERW0	EAH1	EAH0

Назначение битов регистра:

EAS (EMIF Address Setup Time Bits) - биты задания времени установки адреса: 00 - время установки адреса 0 системных циклов; 01 - 1 цикл; 10 - 2 цикла; 11 - 3 цикла.

EWR (EMIF Write/ & Read/ Pulse-Width Control Bits) - биты определения длительности сигналов чтения и записи: 0000 - Длительность сигналов равна 1 системный цикл; 0001 - 2 цикла; ... ; 1111 - 16 циклов.

EAH (EMIF Address Hold Time Bits) - биты задания времени удержания адреса: 00 - Адрес удерживается 0 системных циклов; 01 - 1 цикл; 10 - 2 цикла; 11 - 3 цикла.

Подсистема управления страницами SFR регистров

Подсистема управления страницами SFR регистров в семействах микроконтроллеров с многостраничной организацией SFR (F04x, F06x и F12x) состоит из 4х SFR регистров, доступных с любой из SFR страниц: предыдущей страницы стека SFRLAST (адрес 0x86/A); следующей страницы стека SFRNEXT (адрес 0x85/A); (текущей) страницы SFRPAGE (адрес 0x84/A); и регистра управления страницами SFRPGCN (адрес 0x96/A).

Прежде чем рассматривать структуру регистров механизма управления страницами, коротко остановимся на описании самого механизма многостраничной организации (SFR Paging).

Суть этого механизма заключается в том, что вместо одной стандартной страницы SFR регистров с адресами 0x80-0xFF ядро CIP-51 может поддерживать до 256 таких страниц. Переключение страниц возможно несколькими способами.

"Ручной" режим переключения осуществляется через специальный SFR регистр, доступный по одному и тому же адресу на всех страницах - SFRPAGE (Special Function Register Page Selection). В этот регистр можно в любой момент записать адрес требуемой страницы SFR регистров, при этом происходит "ручное" переключение набора SFR регистров.

Кроме того, существует еще два регистра - SFRNEXT и SFRLAST, организованные в виде стека SFR страниц.

Предусмотрен "автоматический" режим переключения SFR страниц, заключающийся в том, что при возникновении ситуации прерывания, происходит автоматическое переключение SFR страниц так, что текущей становится страница, содержащая регистры управления, связанные с источником прерывания. При этом, текущая перед прерыванием страница автоматически сохраняется в регистре SFRNEXT, а содержимое этого регистра сохраняется в регистре SFRLAST. При завершении прерывания (выполнении инструкции IRET), происходит автоматическое восстановление значения SFRPAGE=SFRNEXT и SFRNEXT=SFRLAST. Кроме того, пользователь при желании может во время выполнения процедуры прерывания модифицировать значения регистров SFRNEXT и SFRLAST. Автоматическое сохранение и восстановление SFR страниц может быть отключено (включено) с помощью бита управления SFRAPCE (SFR Automatic Page Control Enable Bit) в регистре управления страниц SFRPGCN (SFR Page Control Register). После сброса автоматический режим переключения страниц включен.

Регистры SFR доступны для инструкций с прямой адресацией в пространстве адресов с 0x80 до 0xFF. Регистры с адресами, оканчивающимися на 0x0 или 0x8 (например, P0, TCON, P1, SCON, IE и т.д.) являются и бит адресуемыми и байт адресуемыми. Все остальные регистры SFR являются только байт адресуемыми. Неиспользуемые адреса в адресном пространстве SFR зарезервированы для развития. Использование этих адресов приводит к неопределенному результату и нежелательно.

На сегодняшний день, многостраничная организация SFR регистров используется только фирмой SiLabs (Cygnal). Их 256 возможных страниц SFR регистров используются только 0x00, 0x01, 0x02, 0x03, 0x0F и All, т.е. страницы, доступные со всех других страниц. После сброса активна 0 страница (SFRPAGE=0x00).

Использование многостраничного SFR механизма позволило не только разгрузить основную SFR страницу и обеспечить дальнейшее развитие набора периферии за счет возможности размещения в 256 раз больше SFR регистров, но и структурировать существующие регистры, расположив, например, одинаковую периферию, имеющуюся в количестве N (например, таймеры или модули захвата/сравнения PCA) на N страницах по одинаковым адресами. Все это позволило повысить «прозрачность» управления и написания программ.

И так, регистры предыдущей страницы стека SFRLAST, следующей страницы стека SFRNEXT и (текущей) страницы SFRPAGE содержат только адреса предыдущей, следующей и текущей SFR страниц в виде двоичного кода, и стало быть не требуют описания в виде таблицы. Регистра управления страницами SFRPGCN содержит всего один нулевой бит - SFRPGEN (SFR Automatic Page Control Enable) - бит разрешения (1) автоматического переключения страниц.

В заключение следует отметить, что при проектировании микроконтроллерных устройств на базе какого либо из семейств фирмы SiLabs следует внимательно ознакомиться с последней документацией по этому семейству, поскольку в них достаточно часто вносятся изменения и дополнения, а также ознакомиться с примерами программирования выбранного семейства.

В рамках этой статьи цикла мы завершили рассмотрение общесистемных подсистем SFR регистров микроконтроллеров фирмы SiLabs. В следующих статьях цикла мы будем рассматривать подсистемы аналоговой и цифровой периферии.

(Продолжение следует)

Литература:

1. <http://www.silabs.com>