

АНАЛИЗ SFR-СОВМЕСТИМОСТИ МИКРОКОНТРОЛЛЕРОВ ФИРМЫ SiLabs: ИНТЕРФЕЙС SPI

Олег Николаичук
onic@ch.moldpac.md

Статья опубликована: Схемотехника, 2004, №11, 4-6,
Схемотехника, 2005, №1, 10-13

В рамках настоящей статьи цикла произведен системный анализ совместимости подсистемы SPI интерфейса, описаны управляющие регистры, показаны отличия стандартного SPI интерфейса от расширенного.

Микроконтроллеры фирмы Silicon Laboratories (SiLabs) [1] имеют достаточно большой набор периферийных интерфейсов. Большинство семейств микроконтроллеров фирмы SiLabs оснащены: одним или двумя интерфейсами последовательного порта (UART), последовательным периферийным интерфейсом (SPI), интерфейсом системной управляющей шины (SMBus, совместимым с I²C), а также некоторыми другими типами интерфейсов.

Еще совсем недавно наиболее распространенным интерфейсом являлся интерфейс последовательного порта - UART, однако в настоящее время он сдает свои лидирующие позиции интерфейсам SPI (в микроконтроллерной технике) и USB (в компьютерной технике).

В рамках настоящей статьи мы начнем рассматривать вопросы SFR-совместимости периферийных подсистем микроконтроллеров фирмы SiLabs с подсистемы интерфейса SPI (Serial Peripheral Interface).

Подсистема интерфейса SPI содержит всего четыре SFR регистра: регистр управления шиной SPI - SPI0CN; регистр данных - SPI0DAT; регистр управления скоростью - SPI0CKR; и регистр конфигурации - SPI0CFG. Регистры SFR интерфейса SPI приведены в таблице 1.

Таблица 1

Название регистра	Назначение	Адрес SFR регистра											
		F00x	F01x	F02x	F04x	F06x	F12x	F2xx	F30x	F31x	F32x	F33x	F35x
	Регистры SPI												
SPI0CFG	Конфигурация SPI	0x9A	0x9A	0x9A	0x9A/0	0x9A/0	0x9A/0	0x9A	-	0xA1	0xA1	0xA1	0xA1
SPI0CKR	Управление скоростью SPI	0x9D	0x9D	0x9D	0x9D/0	0x9D/0	0x9D/0	0x9D	-	0xA2	0xA2	0xA2	0xA2
SPI0DAT	Данные SPI	0x9B	0x9B	0x9B	0x9B/0	0x9B/0	0x9B/0	0x9B	-	0xA3	0xA3	0xA3	0xA3
SPI0CN	Управление шиной SPI	0xF8	0xF8	0xF8	0xF8/0	0xF8/0	0xF8/0	0xF8	-	0xF8	0xF8	0xF8	0xF8

Первые семейства микроконтроллеров F00x, F01x, F02x и F2xx были оснащены стандартным интерфейсом SPI, а все остальные семейства оснащены так называемым «расширенным интерфейсом SPI». Прежде всего, следует отметить, что только одно из малоформатных семейств микроконтроллеров – C8051F30x – не имеет встроенного интерфейса SPI. Регистр управления шиной SPI - SPI0CN - расположен по одинаковым адресам 0xF8 во всех семействах. Все остальные регистры имеют разные SFR адреса в полноформатных (F00x, F01x, F02x, F04x, F06x, F12x, F13x и F2xx) и малоформатных микроконтроллерах (F31x, F32x, F33x и F35x). Следует отметить, что появившееся в августе 2004 года новое семейство микроконтроллеров F13x фактически является усеченной версией микроконтроллеров семейства F12x, поэтому в таблицы оно не внесено.

Регистр данных - SPI0DAT – одинаков для всех семейств и отличается только SFR адресами. Для полноформатных семейств его адрес – 0x9B, а для малоформатных семейств – 0xA3. Регистр является выходным для передаваемых данных, и входным для принимаемых данных.

Назначение битов регистра конфигурации интерфейса SPI - SPI0CFG - приведено в таблице 2. Этот регистр имеет SFR адреса 0x9A и 0xA1 для полноформатных и малоформатных семейств соответственно.

Таблица 2

Название регистра — SPI0CFG, SPI Configuration Register (Регистр конфигурации интерфейса SPI)								
SFR адрес — 0x9A (0xA1)			Значение после сброса — 00000111b (0x07)					
Семейства	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
F00x, F01x, F02x, F2xx	СКРНА	СКPOL	BC2	BC1	BC0	SPIFRS2	SPIFRS1	SPIFRS0
F04x, F06x, F12x, F31x, F32x, F33x, F350	SPIBSY	MSTEN	СКРНА	СКPOL	SLVSEL	NSSIN	SRMT	RXBMT

И стандартный, и расширенный интерфейсы SPI имеют в регистре конфигурации интерфейса SPI - SPI0CFG ряд следующих одинаковых битов:

- СКРНА - SPI Clock Phase - бит управления фазой тактирования. Бит позволяет выбирать активный фронт тактирующих импульсов. Если бит СКРНА обнулен (0) - данные действительны по переднему фронту импульса тактирования SCLK; если же бит установлен, т.е. СКРНА =1 - данные действительны по заднему фронту импульса тактирования SCLK;
- СКPOL - SPI Clock Polarity - бит управления полярностью тактирующих импульсов. Бит позволяет выбирать активную полярность тактирующих импульсов. Если бит СКPOL =0 - неактивное состояние линии SCLK - нулевой уровень. Если бит СКPOL =1 - неактивное состояние линии SCLK - единичный уровень.

Стандартный интерфейс SPI имеет также следующие конфигурирующие биты:

- BC2-0 - SPI Bit Count - индикатор текущего передаваемого бита. Биты BC позволяют определить номер текущего передаваемого бита: 000 - передается младший 0 бит, 001 - передается 1 бит, ..., 111 - передается старший 7 бит.
- SPIFRS2-0 - SPI Frame Size - размер фрейма (длины слова). Биты SPIFRS позволяют задать рабочую длину передаваемого/принимаемого слова: 000 - 1 бит; 001 - 2 бита; ...; 111 - 8 бит.

Расширенный интерфейс SPI имеет следующие конфигурирующие биты:

- MSTEN – Master Mode Enable – бит разрешения режима ведущего. Если бит MSTEN=1, интерфейс работает в режиме ведущего (мастера);
- NSSIN – NSS Instantaneous Pin Input – бит, индицирующий состояние входа NSS в момент чтения;
- RXBMT – Receive Buffer Empty – бит устанавливается в 1 после чтения регистра данных и в отсутствии новых данных.
- SLVSEL – Slave Selected Flag – бит состояния ведомого, устанавливается в логическую 1, когда вход NSS в состоянии 0;
- SPIBSY – SPI Busy – бит занятости интерфейса SPI передачей (при SPIBSY=1);
- SRMT – Shift Register Empty - бит, индицирующий освобождение сдвигового регистра данных. Бит устанавливается в 1 после завершения передачи или приема.

Регистр управления интерфейса SPI - SPI0CN, это единственный из SFR регистров, который имеет один и тот же SFR адреса 0x8F и для полноформатных, и для малоформатных семейств микроконтроллеров. Назначение битов регистра управления интерфейса SPI (SPI0CN) приведено в таблице 3.

Таблица 3

Название регистра — SPI0CN, Control Register (Регистр управления интерфейса SPI)								
SFR адрес — 0x8F			Значение после сброса — 00000000b (0x00)					
Семейства	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
F00x, F01x, F02x, F2xx	SPIF	WCOL	MODF	RXOVRN	TXBSY	SLVSEL	MSTEN	SPIEN
F04x, F06x, F12x, F31x, F32x, F33x, F350	SPIF	WCOL	MODF	RXOVRN	NSSMD1	NSSMD0	TXBMT	SPIEN

И стандартный, и расширенный интерфейсы SPI имеют в регистре управления интерфейсом SPI0CN ряд следующих одинаковых битов:

- MODF - Mode Fault Flag - флаг ошибки режима. Флаг устанавливается аппаратно (и генерируется прерывание, если оно разрешено) когда в режиме ведущего (MSTEN=1) обнаружен сигнал NSS=0. Это, например, соответствует случаю, когда к интерфейсу, работающему в режиме мастера (т.е. ведущего), пытается обратиться другой SPI интерфейс, также работающий в режиме Мастера в многопроцессорной SPI структуре. Бит должен обнуляться программно;
- RXOVRN - Receive Overrun Flag - флаг переполнения приема. Бит устанавливается аппаратно (и генерируется прерывание, если оно разрешено) в случае, если при приеме последнего бита в буферном регистре находится непрочитанный байт данных, полученный ранее. Бит должен обнуляться программно;
- WCOL - Write Collision Flag - флаг ошибки записи. Флаг устанавливается аппаратно (и генерируется прерывание, если оно разрешено) при записи байта в регистр во время незавершенной передачи. Бит должен обнуляться программно;
- SPIF - SPI Interrupt Flag - флаг прерывания интерфейса SPI. Флаг устанавливается аппаратно после завершения передачи. Если разрешены прерывания, генерируется вектор прерываний SPI0. Бит должен обнуляться программно;
- SPIEN - SPI Enable - бит разрешения (1) интерфейса SPI.

Кроме того, стандартный интерфейс SPI имеет следующие конфигурирующие биты:

- TXBSY - Transmit Busy Flag - бит занятости передатчика. Бит устанавливается аппаратно при текущей передаче и снимается аппаратно после ее завершения;
- SLVSEL - Slave Selected Flag - флаг выбора ведомого. Бит аппаратно устанавливается в 1, если NSS=0, и аппаратно обнуляется при NSS=1;
- MSTEN - Master Mode Enable - бит разрешения (1) режима ведущего.

Расширенный интерфейс SPI имеет следующие конфигурирующие биты:

- NSSMD1-0 – Slave Mode Select –бит выбора режима ведомого:
00: 3-хпроводный режим ведущего или ведомого;
01: 4-хпроводный режим ведомого или режим с многими ведущими (NSS – всегда в режиме входа);
1x – 4-хпроводный режим одного ведущего;
- TXBMT – Transmit Buffer Empty – бит устанавливается в логический 0 после записи данных в буфер передатчика. После пересылки данных в сдвиговый режим, бит устанавливается в 1.

Последний, четвертый SFR регистр – регистр управления скоростью интерфейса SPI - SPI0CKR, расположен по различным SFR адресам: 0x9D и 0xA2 для полноформатных и малоформатных семейств соответственно. Все биты этого регистра составляют байт SPI0CKR (код), который позволяет определить скорость работы интерфейса SPI (частоту тактовых импульсов F_{SCLK}) по следующей формуле:

$$F_{SCLK} = 0.5 * SYSCLK / (SPI0CKR + 1)$$

Из приведенной формулы следует, что максимальная тактовая частота SPI интерфейса может быть равной половине системной тактовой частоты в режиме ведущего (мастера). В режиме ведомого скорость передачи интерфейса SPI определяется тактовой частотой ведущего интерфейса SPI, т.е. мастера.

Остановимся коротко на основных отличиях стандартного и расширенного интерфейсов SPI. Во-первых, отметим, что стандартный интерфейс SPI предусматривает связь между одним устройством-мастером (ведущим) и многими ведомыми устройствами, например, ведущим микроконтроллером и несколькими микросхемами памяти с SPI интерфейсом. При этом, работа нескольких ведущих устройств (мастеров) на одной SPI шине не предусмотрена, хотя и осуществима. В расширенном интерфейсе SPI предусмотрен ряд аппаратных средств, позволяющих организовывать обмен информации между несколькими ведущими SPI устройствами, например, между несколькими микроконтроллерами. Эта возможность стала особенно актуальна с появлением

семейства C8051F32x, оснащенного USB интерфейсом, но имеющего достаточно ограниченные аналоговые и системные ресурсы (разрядность аналого-цифрового преобразователя, объем встроенной оперативной памяти, быстродействие и т.п.). В связи с этим, в настоящее время достаточно часто разработчикам приходится создавать двухконтроллерные системы со связью между микроконтроллерами через интерфейс SPI, при этом, один из микроконтроллеров, семейства F32x, выполняет функции интерфейса USB, а второй – обычно измеряет и обрабатывает информацию. При этом, в качестве основного, наиболее часто используются семейства F12x при необходимости обеспечения высокого быстродействия, или F35x при необходимости наличия большой разрядности аналого-цифрового преобразователя. Архитектура устройств с SPI связью вообще вызывает значительный интерес у современных разработчиков микроконтроллерных систем, однако, этот вопрос является темой отдельной статьи, которая достаточно скоро появится на страницах нашего журнала.

(Продолжение следует)

Литература:

1. <http://www.silabs.com>